

В.М. ГРИГА, канд. техн. наук., В.М. ВІНТОНЯК, В.С. ГУЛА

МОДЕЛЮВАННЯ MOSFET-ТРАНЗИСТОРІВ З УРАХУВАННЯМ ПАРАЗИТНИХ ОПОРІВ ВИТОКУ ТА СТОКУ

Вступ

Сучасні MOSFET транзистори, особливо в умовах високих струмів або малої довжини каналу, суттєво піддаються впливу паразитних опорів витоку (R_s) та стоку (R_D). Класична модель Шічмана–Ходжеса (SPICE Level 1), що закладає основу для багатьох симуляторів (зокрема, початкових версій SPICE), не враховує прямо цих паразитних ефектів [1, 2]. Натомість реальні інтегральні MOSFET мають скінченні омичні опори в області підкладки до контакту витоку та стоку, що призводить до падіння напруги на виході та зменшення струму витоку. Для точнішого моделювання характеристик необхідно враховувати R_s і R_D навіть у спрощених моделях. Наприклад, практичне застосування SPICE Level 1 для моделювання комерційних MOSFET-масивів показує, що включення паразитних опорів дозволяє значно підвищити точність симуляцій при збереженні простоти моделі [3].

У більшості базових підходів до схемотехнічного моделювання приймається ідеалізований транзистор без паразитних опорів [4]. Це спрощує аналіз, але може давати розбіжності між розрахунковими та реальними характеристиками MOSFET. З іншого боку, сучасні компактні моделі, такі як BSIM, враховують ці ефекти численними параметрами, проте їх використання виходить за рамки локальних задач (наприклад, навчальних або первинних інженерних оцінок). Таким чином, виникає необхідність у проміжному підході: як включити вплив R_s та R_D в просту модель SPICE Level 1, зберігаючи її аналітичну прозорість та швидкодію.

У роботі запропоновано та досліджено метод модифікації моделі MOSFET рівня 1 (Shichman–Hodges) для врахування паразитних опорів витоку та стоку. Даний метод є достатньо простим та при цьому забезпечує помітно кращу відповідність реальним ВАХ транзистора у порівнянні зі стандартною моделлю без R_s і R_D .

Методика дозволяє інженерам і студентам швидко оцінювати вплив паразитних опорів без переходу на складні моделі, а також використовувати метод у навчальному процесі для демонстрації паразитних ефектів.

Еволюція моделей MOSFET і тенденції їх розвитку

Перший компактний опис статичних характеристик MOSFET запропонований Х. Шічманом і Д. Ходжесом у 1968 р. [1]. У цій моделі, відомій як модель рівня 1 SPICE або модель Шічмана–Ходжеса, передбачається довгий канал і квадратична залежність струму стоку від напруги затвор–витік (при напрузі вище порогового значення). Формули для розрахунку струму стоку I_D у моделі рівня 1 SPICE наведені в літературі [5] і широко використовуються для опису лінійного та насиченого режимів роботи транзистора. Зокрема, в лінійному режимі (транзистор відкритий, але не насичений) при $V_{DS} < V_{GS} - V_{TH}$:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] (1 + \lambda V_{DS}) \quad (1)$$

а у режимі насичення ($V_{DS} \geq V_{GS} - V_{TH}$):

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2)$$

де μ_n – рухливість носіїв, C_{ox} – питома ємність оксиду, $\frac{W}{L}$ – відношення ширини каналу до довжини, V_{TH} – порогова напруга, а λ – коефіцієнт модуляції довжини каналу (враховує невелику залежність насиченого струму від V_{DS}).

Наведені рівняння відповідають реалізації моделі рівня 1 у SPICE і використовуються як базові у багатьох джерелах [2, 5]. Варто зазначити, що в цих формулах не враховуються паразитні опори – модель ідеалізує транзистор, припускаючи ідеальний електричний контакт до внутрішніх ділянок стоку та витоку. Подальші моделі рівня 2 і 3 доповнили базову модель напівемпіричним врахуванням короткоканальних ефектів, проте концепція зовнішніх паразитних опорів залишилася незмінною: у SPICE можна явно задавати R_S і R_D безпосередньо в картці моделі або через еквівалентну кількість квадратів дифузії (параметри RSHRSH, NRDNRD, NRSNRS) [6]. Наприклад, довідник до HSPICE зазначає, що «паразитні послідовні опори стоку та витоку можуть бути задані як R_D і R_S (Ом) або як питомий опір RSH з зазначенням кількості квадратів NRD, NRS» [6]. Таким чином, можливість моделювати вплив R_S , R_D у симуляціях існує вже тривалий час; проте аналітичний розгляд їхнього впливу в контексті найпростішої моделі MOSFET часто опускається.

У літературі можна виокремити декілька підходів до врахування паразитних опорів:

- явне додавання резисторів у схемі. Найпростіший спосіб – включити R_S та R_D як окремі елементи в схемі при моделюванні (тобто під'єднати невеликі резистори послідовно до витоку і стоку транзистора). Цей практичний прийом активно використовується схемотехніками та підтримується усіма SPICE-симуляторами. Його недолік полягає в тому, що виникає потреба в ітераційному вирішенні на рівні симулятора, а аналітичне вираження для I_D вже не може бути записане в замкненій формі;

- розширені компактні моделі. Сучасні моделі (BSIM3, BSIM4, BSIM CMG для FinFET, тощо) мають параметри для складних паразитних ефектів, включно із залежними від напруги опорами. Наприклад, у моделі BSIM4 враховано погіршення мобільності від поля, ефекти підняття опору при сильному інверсному зміщенні підкладки тощо [9]. Втім, ці моделі суттєво складніші та потребують численних параметрів, отриманих експериментально;

- аналітичні наближення. У низці наукових праць пропонуються спрощені аналітичні моделі, що враховують вплив паразитних опорів джерела (R_S) та стоку (R_D). Для довгоканальних MOSFET-транзисторів часто застосовується підхід ефективної напруги, згідно з яким внутрішня напруга на виводі джерела вища за зовнішню ($V_{S,int} = I_D \cdot R_S$), а на виводі стоку – нижча ($V_{D,int} = V_D - I_D \cdot R_D$). У такому випадку рівняння для внутрішнього транзистора записуються зі зміненими ефективними напругами: $V_{GS}^{eff} = V_G - V_{S,int}$ та $V_{DS}^{eff} = V_{D,int} - V_{S,int}$. Цей підхід часто згадується у літературі, однак не завжди супроводжується виведенням явної формули для струму стоку I_D , оскільки обчислення вимагає одночасного знаходження I_D , $V_{S,int}$ і $V_{D,int}$, що призводить до трансцендентного рівняння. Для розв'язання таких рівнянь пропонуються числові методи [3]. У деяких оглядових дослідженнях описано десятки методик екстракції паразитних опорів із вольтамперних характеристик та способи врахування їх у моделях MOSFET [7, 8]. Сучасні підходи передбачають використання лише одного тестового зразка для визначення асиметричних значень R_S та R_D , що значно спрощує параметризацію навіть простих моделей, зокрема SPICE рівня 1. Запропоновано методи, які дозволяють визначити паразитні опори на основі DC-вимірювань у звичайному та інверсному режимах роботи, використовуючи криві $I_D(V_{GS})$ або $I_D(V_{DS})$ [9]. Ці методи вирізняються простотою реалізації та придатністю до аналітичного моделювання базових моделей, що забезпечує їхню високу практичну цінність;

- у силовій електроніці параметр $R_{DS(on)}$ (опір у відкритому стані) є одним із ключових для оцінки втрат у комутаційних режимах [4]. У сучасних дослідженнях запропоновано метод моделювання цього опору шляхом модифікації напруги затвора у поведінкових моделях з метою досягнення заданого значення $R_{DS(on)}$ [4]. Такий підхід фактично є альтернативою явному введенню паразитного опору джерела: замість того, щоб прямо враховувати R_S , модифікується ефективний поріг або керуюча напруга, що дозволяє симуляції точно відтворити вимірний опір каналу у відкритому стані. Цей метод особливо корисний для точного моделювання втрат у силових ланцюгах, проте він менш придатний для аналізу впливу окремих паразитних елементів, таких як R_S і R_D , оскільки не передбачає їх окрему інтерпретацію;

• в останні роки спостерігається зростання інтересу до використання нейронних мереж для побудови компактних моделей MOSFET. У деяких роботах пропонується гібридний підхід, при якому штучна нейронна мережа виконує обчислення поверхневого потенціалу, на основі якого далі формується аналітична модель транзистора [10]. Попри те, що цей напрям виходить за межі безпосередніх цілей даного дослідження, він ілюструє загальну тенденцію до підвищення точності відтворення паразитних ефектів. Завдяки здатності до апроксимації складних нелінійних залежностей нейронні мережі дозволяють автоматично враховувати зміну ефективного опору області стоку та витоку в різних режимах роботи. Водночас класичні аналітичні моделі зберігають актуальність завдяки своїй прозорості, фізичній інтерпретованості та простоті реалізації в стандартних інструментах моделювання.

Теоретична основа моделі з урахуванням R_S і R_D

Як зазначено вище, базові рівняння для струму стоку MOSFET без паразитних опорів описуються квадратичною залежністю між напругами і струмом за умови довгого каналу та сталої рухливості носіїв заряду [5, 11]. У контексті подальшого розширення моделі введемо позначення: параметр $K = \mu_n C_{ox} \frac{W}{L}$ питома крутизна, що є пропорційною геометричним і технологічним характеристикам транзистора). Тоді наведені вище формули можна переписати у більш компактній формі:

$$I_D = K \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \text{ (якщо } V_{DS} < V_{GS} - V_{TH}), \quad (3)$$

$$I_D = \frac{1}{2} K (V_{GS} - V_{TH})^2 \text{ (якщо } V_{DS} \geq V_{GS} - V_{TH}). \quad (4)$$

Для спрощення поки знехтуємо канал-модуляцією ($\lambda = 0$) – її можна врахувати додатковим множником $(1 + \lambda V_{DS})$ на пізнішому етапі без концептуальних змін методики.

Нехай на зовнішні виводи транзистора подані напруги V_G (затвор відносно витоку), V_D (стік відносно витоку) і V_S (витік, зазвичай заземлений або рівний нулю). У присутності паразитних опорів еквівалентна схема містить опори R_S між зовнішнім контактом витоку і внутрішнім вузлом витоку транзистора, та R_D між внутрішнім вузлом стоку і зовнішнім контактом стоку [5, 11]. Таким чином, внутрішні напруги на транзисторі відрізняються від зовнішніх. Введемо такі позначення:

- $V_{S,int}$ – напруга на внутрішньому витоці (відносно зовнішньої опорної точки, зазвичай заземлення). Через омичне падіння на R_S маємо $V_{S,int} = V_S + I_D R_S$. Якщо витік заземлено зовні ($V_S = 0$), то $V_{S,int} = I_D R_S$;

- $V_{D,int}$ – напруга на внутрішньому стоку (відносно заземлення). Вона пов'язана із зовнішньою напругою на стоку як $V_{D,int} = V_D - I_D R_D$, де падіння напруги на R_D пропорційне струму стоку I_D , який спрямований від стоку до витоку для NMOS-транзистора.

Тоді ефективні напруги зміщення транзистора у внутрішній схемі визначаються так:

$$V_{GS}^{eff} = V_G - I_D R_S, \quad V_{DS}^{eff} = V_D - I_D (R_S + R_D) \quad (5)$$

За цих умов сам транзистор (внутрішній MOSFET) можна змоделювати все тими ж рівняннями рівня 1, але вже для ефективних напруг V_{GS}^{eff} та V_{DS}^{eff} . Таким чином, отримуємо неявне рівняння для струму, оскільки $V_{S,int}$ і $V_{D,int}$ містять I_D . Підставивши визначення внутрішніх напруг, отримаємо, наприклад, для насиченого режиму ($V_{DS}^{eff} \geq V_{GS}^{eff} - V_{TH}$)

$$I_D = \frac{1}{2} K (V_G - I_D R_S - V_{TH})^2, \quad (6)$$

якщо на даному етапі знехтувати λ і вважати, що транзистор перейшов у насичений режим для даного I_D , тоді отримане рівняння є квадратичним відносно $\sqrt{I_D}$ або ж трансцендентним (через наявність I_D під квадратом і поза ним). Аналогічно можна записати рівняння і для лінійного режиму:

$$I_D = K \left[(V_G - I_D R_S - V_{TH})(V_D - I_D(R_S + R_D)) - \frac{1}{2}(V_D - I_D(R_S + R_D))^2 \right], \quad (7)$$

де явно проявляється нелінійність відносно I_D . Аналітичного розв'язку для I_D із цих виразів у загальному випадку не існує, оскільки рівняння має п'ятий або вищий ступінь. Проте такий підхід дозволяє сформулювати алгоритм для чисельного розв'язання. Замість безпосередньої спроби аналітичного розв'язання наведених формул застосуємо ітераційний метод. Для зручності спочатку перепишемо постановку задачі у компактнішій формі та введемо необхідні позначення: $f(V_{GS}^{eff}, V_{DS}^{eff})$ – функція, що описує модельний струм транзистора рівня 1 без урахування паразитних опорів, визначається частинами залежно від режиму роботи (лінійного або насиченого). Наприклад, у насиченому режимі: $f = \frac{1}{2} K (V_{GS}^{eff} - V_{TH})^2$, в лінійній області $f = K \left[(V_{GS}^{eff} - V_{TH}) V_{DS}^{eff} - \frac{1}{2} (V_{DS}^{eff})^2 \right]$. Тоді розширений модельний струм I_D має задовольняти: $I_D = f(V_{GS} - I_D R_S, V_{DS} - I_D(R_S + R_D))$. Це основне рівняння, яке необхідно розв'язати відносно I_D .

Аналіз впливу R_S і R_D на граничні режими показує, як саме паразитні опори змінюють характеристики роботи транзистора в різних режимах. Варто відзначити якісні особливості впливу R_S і R_D на характеристики транзистора. У режимах малих струмів (коли $I_D \rightarrow 0$) спостерігається, що $V_{GS}^{eff} \rightarrow V_{GS}$, $V_{DS}^{eff} \rightarrow V_{DS}$, тобто вплив опорів зникає – це очікувано, оскільки паразитні опори не впливають на статичну роботу при нульовому струмі.

У режимі насичення, коли транзистор обмежує струм, введення R_S зменшує ефективну напругу затвора, отже насичений струм зменшується. Введення R_D зменшує напругу на внутрішньому стоку; це не впливає на сам насичений струм (який визначається переважно $V_{GS} - V_{TH}$), однак впливає на перехід з лінійного режиму у насичення: точка, де $V_{DS}^{eff} = V_{GS}^{eff} - V_{TH}$, буде досягнута при більшому зовнішнього значення V_{DS} . Інакше кажучи, точка насичення зміститься праворуч на графіку $I_D(V_{DS})$. Це означає, що транзистор виглядатиме більш “резистивним” на виході: досягнувши внутрішнього насичення, зовнішнє збільшення V_{DS} в основному падає на R_D , не збільшуючи суттєво I_D . Таким чином, ефект R_D проявляється як додатковий нахил ВАХ $I_D(V_{DS})$ навіть у насиченому режимі, що означає збільшення вихідної провідності.

Дослідження впливу паразитних опорів за допомогою запропонованої моделі

Для дослідження впливу R_S та R_D застосовано чисельний метод із використанням Python-бібліотеки PySpice [12], що надає інтерфейс до інструмента симуляції схем Ngspice. Обрано такий шлях з двох причин: 1) він дозволяє гнучко реалізувати ітераційний алгоритм поза самим SPICE, водночас використовуючи перевірені алгоритми для перевірки результатів; 2) легко автоматизувати серію прогонів для різних значень R_S , R_D та параметрів транзистора.

Розглянуто умовний n-канальний MOSFET з наступними параметрами моделі рівня 1 (наближені до технології 0,5 мкм):

- $V_{TH} = 1.0$ В (порогова напруга);

- $K = \mu_n C_{ox} W/L = 1 \times 10^{-3}$ А/В². Цей параметр вибрано так, щоб для $V_{GS} = 5$ В насичений струм був близько кількох міліампер (для наочності графіків). Умовно це може відповідати, наприклад, $\mu_n = 400$ см²/В · с, $C_{ox} = 7$ мФ/м², $W/L \approx 100$ (що цілком реально для транзистора);

- коефіцієнт λ спочатку прийнято нульовим, щоб сфокусуватися на впливі саме R_S , R_D . Надалі в обговоренні врахуємо, як ненульова λ модифікує результати.

Діапазон симуляцій охоплює вимірювання вихідних характеристик $I_D(V_{DS})$ при різних значеннях опорів. Зокрема, фіксується напруга затвора V_{GS} , а V_{DS} змінюється від 0 до 5 В. Такий режим відповідає типовому зняттю серії вихідних вольтамперних характеристик при змінному транзистора при різних V_{GS} . Для наочності та спрощення аналізу, в роботі основна увага приділяється одній кривій при фіксованому V_{GS} (близькому до режиму сильного наси-

чення струму), а саме $V_{GS} = 5$ В. Це вище порогу на 4В, отже транзистор за заданих параметрів без паразитних опорів входить в насичення приблизно при $V_{DS} \approx 4$ В і досягає струму $I_D \approx 8$ мА.

Розглянуто наступні випадки: 1) ідеальний транзистор: $R_S = 0$, $R_D = 0$ (базова крива для порівняння); 2) симетричні опори: $R_S = R_D$ з декількома значеннями (наприклад, 10 Ω , 50 Ω , 100 Ω). Така симетрія спрощує аналіз, хоч у реальних процесах часто $R_S \approx R_D$. Значення в десятки Ом відповідають, для порівняння, силовому транзистору на кристалі із опором контакту та провідників; для інтегральних MOSFET на кристалі опори можуть бути меншими (≈ 1 Ω або менше), але у даному дослідженні взято дещо завищені значення для більш виразного ефекту на графіках; 3) несиметричний випадок: за потреби можна задати R_S і R_D різними, але в даній роботі основний акцент зроблено на симетричний випадок, де обидва присутні. Відомо, що R_S (опір витoku) впливає дещо сильніше на струм, адже зменшує ефективну напругу затвор–виток, тоді як R_D більше впливає на вихідну характеристику після насичення.

Ітераційний алгоритм полягає у тому, що для кожної комбінації заданих V_{GS} , V_{DS} і значень R_S , R_D :

1. Обчислюється початкове наближення для I_D . Найпростіший варіант – взяти $I_{D0} = f(V_{GS}, V_{DS})$, тобто поки що знехтувати паразитними опорами;
2. Підставляється I_{D0} в ефективні напруги: $V_{GS}^{eff} = V_{GS} - I_{D0}R_S$, $V_{DS}^{eff} = V_{DS} - I_{D0}(R_S + R_D)$;
3. Обчислюється нове значення струму: $I_{D1} = f(V_{GS}^{eff}, V_{DS}^{eff})$ за модельними рівняннями рівня 1;
4. Якщо I_{D1} досить близьке до I_{D0} (за обраним критерієм збіжності, наприклад, різниця $< 0,1$ % або $< 10^{-6}$ А), то алгоритм завершується, приймаючи I_{D0} як рішення. Якщо ні – підкладаємо $I_{D0} \leftarrow I_{D1}$ і повертаємось до кроку 2;
5. Як правило, за кілька ітерацій (3–5) процес сходиться, бо функція f є монотонно зростаючою по кожному аргументу і задача добре обумовлена (для фізично прийнятних значень параметрів).

Такий алгоритм реалізовано на Python. Додатково, для перевірки, побудовано SPICE-схему, де транзистор моделюється стандартною моделлю рівня 1, а R_S , R_D підключено як резистори поза транзистором. PySpice дозволив отримати результати обома способами і переконатися, це ітераційне рішення збігається з SPICE-симуляцією схемного рівня (що очікувано, але важливо з точки зору верифікації).

Код на Python використовує бібліотеки `sympy` (для формул) та `mpmath` (для чисельного рішення рівнянь), а PySpice – для формування й аналізу схем. Втім, оскільки ітераційний алгоритм виявився простим, основні результати отримано “ручним” обчисленням функції f та застосуванням функції пошуку кореня для рівняння $I_D - f(V_{GS} - I_D R_S, V_{DS} - I_D(R_S + R_D)) = 0$. Такий підхід еквівалентний описаному ітераційному процесу.

Вихідні дані для аналізу формуються після отримання збіжного рішення I_D для кожної точки: будуються криві I_D від V_{DS} . Також розраховуються таблиці зі значеннями I_D при вибраних фіксованих режимах для різних значень R_S , R_D – це потрібно для кількісного оцінювання впливу (наприклад, у відсотках). Зокрема, визначено:

- $I_D^{(0)}$ – струм без паразитних опорів (базове значення);
- $I_D^{(x)}$ – струм при деякому $R_S = R_D = x$;
- відносне відхилення $\Delta I_D(\%) = \frac{I_D^{(x)} - I_D^{(0)}}{I_D^{(0)}} \times 100\%$ (буде від’ємним, бо струм зменшується

відносно ідеалу);

- зміщення точки насичення – порівнюється значення V_{DS} , при якому I_D досягає 98 % від свого насиченого значення, з і без опорів. Це дає інтуїтивну оцінку, наскільки далі по осі V_{DS} “відсувається” насичення через падіння напруги на R_D .

У табл. 1 узагальнено результати для кількох значень $R_S=R_D$ при фіксованих напругах V_{GS} і V_{DS} . Тут вибрано дві операційні точки: точка близька до глибокого насичення

($V_{GS} = 5\text{В}$, $V_{DS} = 5\text{В}$) та точка у лінійному режимі ($V_{GS} = 4\text{В}$, $V_{DS} = 1,5\text{В}$) у цьому випадку V_{DS} менший за $V_{GS} - V_{TH} = 2\text{В}$, тобто транзистор точно не насичений).

Таблиця 1

Вплив $R_S = R_D$ на струм транзистора (результати моделі рівня 1; $\lambda = 0$)

$R_S = R_D$ (Ом)	$I_D(V_{GS}=5\text{В}, V_{DS}=5\text{В})$ (мА)	ΔI_D (%)	$I_D(V_{GS}=3\text{В}, V_{DS}=1,5\text{В})$ (мА)	ΔI_D (%)
0	7,999	–	1,875	–
10	7,695	–3,8	1,821	–2,9
50	6,714	–16,1	1,659	–11,5
100	5,836	–27,0	1,500	–20,0

Як показано у табл. 1, навіть відносно невеликий опір 10 Ом призводить до зниження струму приблизно на 4 % при високих напругах. При $R_S + R_D = 50$ Ом спостерігається близько 16 % падіння струму в точці (V_{GS} , V_{DS}) = (5 В, 5 В). Ці значення можна інтерпретувати як похибку, що виникає при моделюванні без урахування паразитних опорів. Наприклад, при сумарному опорі 100 Ом (витік + стік) нехтування цим впливом призводить до переоцінки струму приблизно на 27 %.

У лінійному режимі (при нижчих значеннях V_{DS}) вплив паразитних опорів також спостерігається, хоча й менш виражений. Наприклад, при 50 Ом падіння струму становить близько 11,5 %. Це закономірно, оскільки в лінійному режимі сам транзистор працює як резистор із опором у декілька кОм, і додаткові 100 Ом істотно не змінюють загальний еквівалентний опір між витіком і стоком.

У насиченому режимі внутрішній транзистор наближається до джерела струму (в ідеалі – з нескінченним вихідним опором), тому весь струм визначається балансом між внутрішньою характеристикою та зовнішніми паразитними опорами. Через це навіть десятки Ом дають помітний ефект на вихідний струм, спричиняючи суттєві похибки у моделюванні без їх урахування.

Також було оцінено зміщення точки насичення. Формально можна визначити напругу $V_{DS,sat}^{ext}$, при якій внутрішній транзистор досягає насичення. Це відбувається, коли $V_{DS}^{eff} = V_{GS}^{eff} - V_{TH}$. Підставивши $V_{DS}^{eff} = V_{DS} - I_D(R_S + R_D)$ і $V_{GS}^{eff} = V_{GS} - I_D R_S$, отримаємо умову

$$V_{DS} - I_D(R_S + R_D) = V_{GS} - I_D R_S - V_{TH}, \quad (8)$$

яку можна розв'язати щодо V_{DS} , використовуючи вже знайдений I_D в насиченому режимі. Для випадку $V_{GS} = 5\text{В}$, $R_S = R_D = 50\Omega$ знайдений $I_D \approx 6,714$ мА. Підставляючи, одержимо $V_{DS,sat}^{ext} \approx 4,34$ В, тоді як для ідеального транзистора ($I_D = 8\text{мА}$) ($V_{DS,sat} = 4\text{В}$). Різниця $\sim 0,34$ В, що добре узгоджується з графіком рис. 1 (де червона крива виходить на плато трохи пізніше). Таким чином, паразитні опори збільшують ефективну напругу насичення. З точки зору схеми, це означає, що для досягнення заданого струму потрібна більша різниця потенціалів між стоком і витіком, щоб компенсувати падіння на резисторах. Практично це може знизити коливання напруги на виході підсилювачів на MOSFET або зменшити допустимий динамічний діапазон.

На рис. 1 показано вихідні характеристики $I_D(V_{DS})$, отримані для $V_{GS} = 5\text{В}$ без паразитних опорів (жовта крива) та з доданими опорами $R_S = R_D = 50$ Ом (червона крива).

Як впливає із результатів R_S , R_D призводить до двох помітних ефектів:

1. Максимальний (насичений) струм зменшується: на рис. 1 бачимо, що помаранчева крива (з опорами) виходить на плато приблизно на рівні 6,7 мА, тоді як жовта (ідеальна) – ~ 8 мА. Це приблизно –16 % відносного зменшення, що узгоджується з кількісними оцінками вище;

2. Крива з опорами переходить в насичення за більшої напруги V_{DS} . Замість різкого вигину біля $V_{DS} \approx 4\text{В}$ (жовта крива), у червоній кривій вигин згладжений і фактично насичення

досягається лише біля $\sim 4,3$ В. Після насичення, крива з R_S , R_D має помітний нахил вгору (бо частина напруги падає на R_D , трохи збільшуючи струм далі). Це еквівалентно введенню додаткового опору в канал і відповідає підвищенню вихідної провідності транзистора.

Вихідна характеристика MOSFET при $V_{GS} = 5$ В

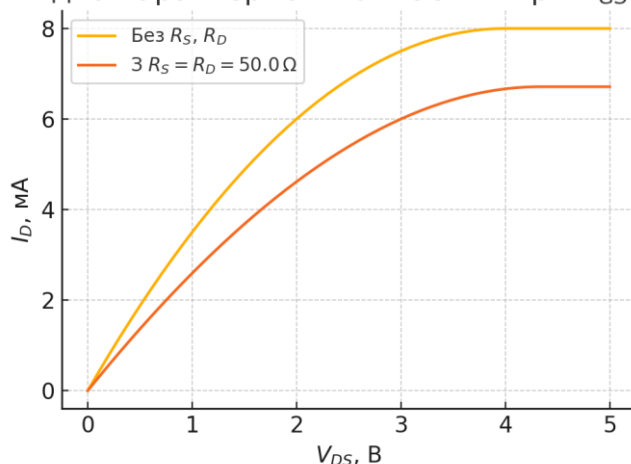


Рис. 1. Вихідні характеристики транзистора

Якщо врахувати ефект модуляції довжини каналу ($\lambda > 0$), то внутрішній транзистор вже не має абсолютно плоского плато струму – навіть без R_D струм дещо ростиме із V_{DS} . Було перевірено, що при невеликому λ результати кількісно майже не змінюються, оскільки домінуючу роль у нахилі вихідної кривої все одно відіграє R_D . Наприклад, при $\lambda = 0,02 \text{ В}^{-1}$ і $R_S = R_D = 50 \Omega$ насичений струм зріс на $\sim 3\%$ (з $6,71$ мА до $\sim 6,9$ мА), а без опорів – з 8 мА до $\sim 8,2$ мА. Тобто відносне відхилення струму залишилося близьким ($\sim 15\%$ замість 16%). Різниця у $V_{DS, \text{sat}}$ також незначно згладилася. Отже, включення λ у базову модель просто додає паралельний вплив і не ускладнює сам метод врахування R_S , R_D .

Додатково було побудовано аналогічні сімейства характеристик для різних V_{GS} (не наведені тут задля стислості). Загальна тенденція: при меншому V_{GS} (ближчому до порогу) абсолютний вплив опорів на струм менший, але відносний вплив залишається помітним. При дуже великому V_{GS} паразитні опори ще сильніше обмежують струм, тож відсоткове зниження може зростати.

На основі аналізу можна сформулювати наступні практичні рекомендації:

- при моделюванні цифрових КМОН-схем, у яких транзистори працюють у ключовому режимі, врахування паразитних опорів R_S і R_D навіть на рівні $5\text{--}10$ Ом може суттєво підвищити точність оцінки швидкодії та енергоспоживання. Такі значення дають більш реалістичні результати для імпульсних струмів, що, у свою чергу, впливають на затримки сигналів;
- у аналогових схемах (дзеркала струму, підсилювачі), де MOSFET працюють у режимі насичення, варто враховувати, що паразитні опори зменшують вихідний опір каскаду. Тому реальний коефіцієнт підсилення може бути меншим, ніж прогнозує ідеалізована модель. Запропонований метод дозволяє швидко оцінити, наскільки меншим шляхом моделювання, як зроблено вище, для типових значень R_S , R_D певного процесу;
- при екстраполяції на інші моделі: описаний підхід можна пристосувати і до моделей рівня 2 чи 3, де формули $f(V_{GS}, V_{DS})$ складніші, але загальна ідея збігається: розв'язати рівняння $I = f(V_{GS} - IR_S, V_{DS} - I(R_S + R_D))$. Звісно, можна скористатися числовим рішенням, як показано, або впровадити цю залежність прямо в SPICE через підсхему з джерелом керованого струму і зовнішніми резисторами.

Варто підкреслити, що в рамках моделі рівня 1 не було враховано:

- залежності R_S , R_D від режиму (наприклад, від напруги підкладка-витік або від того, чи перебуває транзистор у глибокому насиченні). У реальних пристроях ефективний опір витіку

може дещо зростати при певних умовах через зміни контактного опору або ефектів нерівномірності струму. Проте у перших наближеннях R_S , R_D вважаються сталими;

- температурні ефекти: з підвищенням температури рухливість падає, а опір провідників зростає, тож вплив R_S , R_D відносно може навіть зростати. Врахувати це можна, використовуючи температурні коефіцієнти в моделі (SPICE дозволяє задавати температурну залежність для резисторів). У нашому аналізі температура фіксована (25°C);

- ефект підкладки: якщо витік піднятий над підкладкою ($V_{SB,int} = V_{S,int} - V_B$), то ефективна порогова напруга збільшується на величину ефекту підкладки. У моделі рівня 1 це задається параметром γ та формулою $V_{TH}(V_{SB}) = V_{TH}(0) + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|})$. де ϕ_F – потенціал Фермі. У даних розрахунках припускається, що підкладка зовнішньо з'єднана з джерелом (0 В), отже $V_{SB,ext}=0$. Однак, якщо $I_D R_S$ набуває значних значень, внутрішня напруга $V_{S,int}$ стає додатною, а підкладка залишається на потенціалі 0 В, тому $V_{SB,int}=I_D R_S$. Це призводить до деякого збільшення внутрішньої порогової напруги V_{TH} . Описаний вище ітераційний алгоритм це не враховував (було використано фіксовану V_{TH}). Тим не менше, оцінити вплив можна: підставимо, наприклад, $I_D = 6,7$ мА, $R_S = 50$ Ω , тоді $V_{SB,int} = 0,335$ В. Для типової $\gamma \approx 0,4 V^{1/2}$ і $\phi_F \approx 0,3$ В отримаємо збільшення порогу на $\sim 0,02$ – $0,03$ В. Це еквівалентно зменшенню струму ще на ~ 1 – 2 %. Тобто ефект підкладки другого порядку і може бути додатково включений в алгоритм (додаванням ще одного рівня ітерації: оновлювати оцінку V_{TH} при кожному обчисленні f). У рамках даної точності цим було знехтувано, але згадується, щоб підкреслити: для коротких каналів або високих R_S ефект підкладки від R_S може стати помітним.

Висновки

Запропоновано чисельний метод модифікації моделі MOSFET рівня 1 для врахування паразитних опорів витoku та стоку (R_S , R_D). Розв'язання нелінійного рівняння для струму виконано ітераційно поза SPICE, із використанням Python та бібліотеки PySpice – це дозволило гнучко контролювати параметри, автоматизувати обчислення. Метод базується на ітеративному розв'язанні рівняння струму з урахуванням ефективних напруг, які включають падіння на R_S , R_D . Такий підхід еквівалентний спрощеній ітерації Н'ютона–Рафсона і реалізується як поза SPICE, так і в його схемному описі.

Перевагою запропонованого підходу є можливість оцінити вплив паразитних опорів на характеристики транзистора без використання складних моделей типу BSIM. Отримані результати свідчать, що навіть невеликі значення $R_S=R_D=10$ Ω знижують насичений струм на ≈ 4 %, а при 100 Ω похибка сягає ≈ 27 %. Паразитні опори також спричиняють зміщення точки насичення та зниження вихідного опору.

Метод особливо корисний:

- для аналізу цифрових КМОН-схем, де R_S , R_D впливають на імпульсні струми і затримки;
- аналогових схем (дзеркала струму, підсилювачі), де зменшується коефіцієнт підсилення;
- навчального процесу – як демонстрація впливу неідеальностей.

Метод може бути розширений для врахування температурних ефектів, ефекту підкладки та залежності R_S , R_D від режиму роботи.

Список літератури:

1. Baker R. J. CMOS: Circuit Design, Layout, and Simulation. 4th ed. Hoboken, NJ : Wiley-IEEE Press, 2019. 1280 p. ISBN 978-1-119-48151-5.
2. Sahrling M. Analog Circuit Simulators for Integrated Circuit Designers: Numerical Recipes in Python. Cham: Springer, 2021. XV. 404 p. ISBN 978-3-030-64205-1.
3. J. E. Meza et al. SPICE models for electrical simulation of commercial MOSFET arrays ALD1105/06 Aguilar /07 // ResearchGate. Jun. 2022. doi: 10.13140/RG.2.2.36661.06886.

4. Guran I.-C. A Novel ON-State Resistance Modeling Technique for MOSFET Power Switches / I.-C. Guran, A. Florescu, L. A. Perișoară // *Mathematics*. 2023. Vol. 11, iss. 1. P. 72. doi: <https://doi.org/10.3390/math11010072>.
5. Sedra A. S. *Microelectronic Circuits* / A. S. Sedra, K. C. Smith. 7th ed. Oxford : Oxford University Press, 2015. 1488 p.
6. Jaeger R. C. *Microelectronic Circuit Design* / R. C. Jaeger, T. N. Blalock. 5th ed. New York : McGraw-Hill Education, 2016. 1360 p.
7. Ortiz-Conde A. A review of DC extraction methods for MOSFET series resistance and mobility degradation model parameters / A. Ortiz-Conde, A. Sucre-González, F. Zárate-Rincón, R. Torres-Torres, R. S. Murphy-Arteaga, J. J. Liou, F. J. García-Sánchez // *Microelectronics Reliability*. 2017. P. 1–16. doi: <https://doi.org/10.1016/j.microrel.2016.12.016>.
8. A. Ortiz-Conde et al. A review of recent MOSFET source and drain resistances extraction methods using a single test device // *IEEE Trans. Electron Devices*. Vol. 68, no. 4. P. 1234–1240, Apr. 2021. doi: 10.1109/TED.2021.3056789.
9. R. A. Rodriguez-Davila et al. On the DC extraction of the asymmetric parasitic source and drain resistances for MOSFETs // *Solid-State Electron*. Vol. 170, 107837. Aug. 2020. doi: 10.1016/j.sse.2020.107837.
10. Huang S. MOSFET Physics-Based Compact Model Mass-Produced: An Artificial Neural Network Approach / S. Huang, L. Wang // *Micromachines*. 2023. Vol. 14, iss. 2. P. 386. doi: <https://doi.org/10.3390/mi14020386>.
11. Altair. HyperSpice: MOSFET Model Parameters [Електронний ресурс] / Altair. 2021. Режим доступу: https://2021.help.altair.com/2021.0.1/activate/business/en_us/block_reference_guide/mo/lib/HyperSpice/HTML/mos_t.html.
12. Salvaire F. PySpice: Circuit Simulation Library [Електронний ресурс] / Fabrice Salvaire. 2021. Режим доступу: <https://pyspice.fabrice-salvaire.fr/releases/v1.5/>.

27.07.2025

Відомості про авторів:

Грига Володимир Михайлович – канд. техн. наук, доцент, Карпатський національний технічний університет імені Василя Стефаника, доцент кафедри комп'ютерної інженерії та електронік; Україна; e-mail: volodymyr.gryga@pnu.edu.ua; ORCID: <https://orcid.org/0000-0001-5458-525X>

Вінтоняк Віталій Мирославович – Карпатський національний технічний університет імені Василя Стефаника, аспірант; Україна; email vitalii.vintoniak.23a@pnu.edu.ua; ORCID: <https://orcid.org/0009-0002-1538-1881>

Гула Вадим Сергійович – Карпатський національний технічний університет імені Василя Стефаника, аспірант, Україна; email: vadym.hula.22@pnu.edu.ua; ORCID: <https://orcid.org/0009-0007-3336-8644>