

## ДЕЛИТЕЛЬ ЧАСТОТЫ С ПЕРЕМЕННЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ

*В. Н. Кузнецов, В. М. Резник, Г. И. Сидоров*

Харьков

В измерительной технике, радиосвязи и других областях науки и техники все чаще внедряются цифровые синтезаторы частот, что объясняется возможностью получить требуемую стабильность частоты, высокой технологичностью и простотой функцио-

нальных блоков. Неотъемлемой частью таких синтезаторов являются делители частоты с переменным коэффициентом деления (ДПКД). Эти делители создаются, как правило, для решения частных задач, зависящих от требований, предъявляемых к синтезатору. Известны различные схемы ДПКД, отличающиеся исходными элементами и функциональными связями [1, 2].

В настоящей статье рассматривается ДПКД, построенный на потенциальных элементах с импульсно-потенциальными связями, отличающийся простотой, универсальностью и максимально достижимым быстродействием для выбранной схемы счетчика. Такой

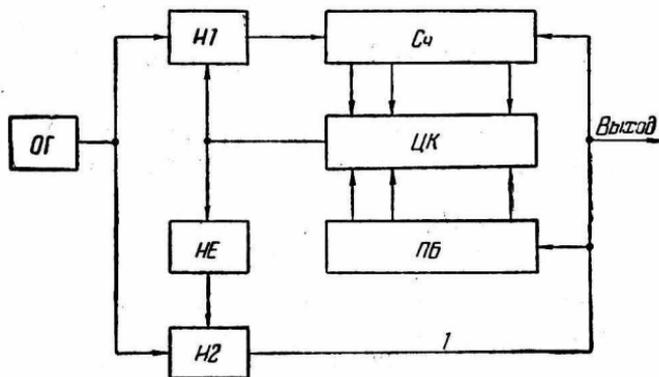


Рис. 1.

ДПКД, кроме указанных областей, применим в вычислительной технике для получения программно управляемой кодовой последовательности импульсов. Универсальность схемы обеспечивается тем, что не накладываются условия на структуру программного блока и параметры элементарных ячеек: простота, минимальная и постоянная фазовая задержка между входными и выходными импульсами, полное использование быстродействия счетчика обеспечиваются функциональными связями.

Функциональная схема ДПКД представлена на рис. 1; это опорный генератор ОГ, две схемы совпадения И1 и И2, счетчик Сч, инвертор ИЕ, цифровой компаратор ЦК и программный блок ПБ. Задание коэффициента деления производится механически или автоматически в зависимости от исполнения программного блока. Описание автоматической работы устройства зависит от заложенной программы. В связи с этим рассмотрим деление на статический коэффициент.

При емкости счетчика  $N$  коэффициент деления  $n$ , задаваемый программным блоком, может изменяться в пределах от 1 до  $N$ . Исходным состоянием счетчика является единица в младшем разряде (000...01). Вообще же число в счетчике обозначим через  $K$ . Такое исходное состояние предопределяет все отличительные

признаки в функционировании данного устройства: при значении запрограммированного числа  $n$  и числа в счетчике  $000 \dots 01$  компаратор выдает в общем случае логический сигнал «1», являющийся для импульсно-потенциальных схем И разрешением, т. е. И1 открыт, а И2, управляемый этим сигналом через инвертор ИЕ, закрыт. Импульсы ОГ поступают на вход счетчика. При поступлении  $n - 1$  импульса значение числа  $k$  с учетом уже имеющейся единицы равно  $n$ . Наступившее равенство кодов в счетчике и программном блоке обработает ЦК. Сигнал «0» с его выхода закроет И1 и откроет И2;  $n$ -й импульс ОГ через И2 поступит по шине 1 на выход, на установку счетчика в исходное

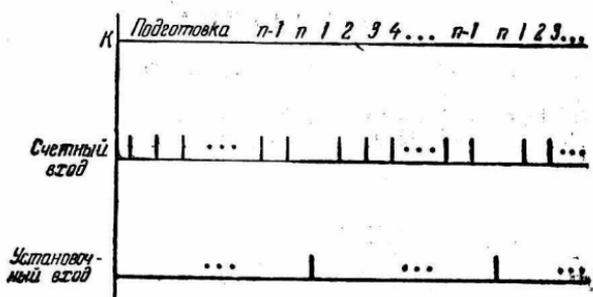


Рис. 2.

состояние  $000 \dots 01$  и в программный блок (для смены коэффициента при автоматической работе). Возврат счетчика в состояние  $000 \dots 01$  нарушает равенство с запрограммированным числом (кроме  $n = 1$ ), ЦК выработает «1», закроется И2 и откроется И1. Процесс деления повторится сначала.

#### Пример.

1.  $n = 1$ ,  $k = 000 \dots 01$ , т. е.  $k = n$ .

На выходе ЦК — «0», И1 закрыт, И2 открыт.

Импульс ОГ поступит на выход, на переустановку Сч, который останется без изменения, на изменение  $n$  в программный блок. При  $n = 1 = \text{const}$  процесс повторяется, т. е. импульсы ОГ поступают непосредственно в выходную цепь без изменения состояния устройства деления.

2.  $n = 2 = \text{const}$ ,  $k = 000 \dots 01$ .

На выходе ЦК — «1», И1 открыт, И2 закрыт.

1-й импульс ОГ поступает в Сч и запоминается ( $k = 000 \dots 10$ , т. е.  $k = n$ ).

На выходе ЦК — «0», И1 закрыт, И2 открыт.

2-й импульс ОГ поступает на выход и на возврат Сч в  $k = 000 \dots 01$ .

Процесс повторяется сначала.

На рис. 2 дана временная диаграмма работы данного делителя. Подготовка исходного состояния выполняется первым циклом

деления, что удовлетворяет всем случаям. Как видно из изложенного выше, счетчику достаточно иметь быстродействие, равное частоте ОГ.

В устройстве операция сброса совмещена с операцией накопления числа 1. Исполнение программного блока также не влияет на работу счетчика, поскольку они разделены компаратором. Все это дает возможность максимально повысить быстродействие устройства. Фазовая задержка между выходным и ОГ импульсами за счет использования параллельного переноса на И2 постоянна и по величине зависит только от физических параметров используемых элементов.

## ЛИТЕРАТУРА

1. Н. И. Чистяков. Декадные синтезаторы частот. Изд-во «Связь», 1969. 80 с.
2. Renschler Edward L. A variable counter design technique. «JEEE Trans. Comput», 17, N 7, 694—696, 1968, p. 64—68.